

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION

Ichiro Koiwa

Serial No.: 10/820,770

Filed: April 9, 2004

For: FERROELECTRIC CAPACITOR



Group Art Unit: 2818

Examiner: Q. Hoang

Confir. No.: 8824

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
Customer Window
Randolph Building
401 Dulany Street
Alexandria, VA 22314

Date: June 17, 2005

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2003-106601

filed April 10, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS & WHITT, P.L.L.C.

Andrew J. Telesz, Jr.
Registration No. 33,581

One Freedom Square
11951 Freedom Drive, Suite 1260
Reston, Virginia 20190
Tel. (571) 283-0720
Fax. (571) 283-0740

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 0 6 6 0 1
Application Number:
[J P 2 0 0 3 - 1 0 6 6 0 1]

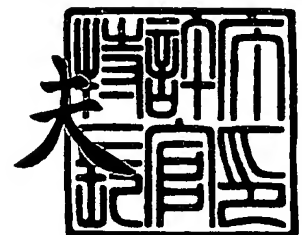
願 人 沖 電 気 工 業 株 式 会 社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 OH003820

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10 451
G11C 11/22

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

【氏名】 小岩 一郎

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体メモリおよびその製造方法

【特許請求の範囲】

【請求項 1】 強誘電体キャパシタの分極を利用してビット情報を記憶する強誘電体メモリであって、前記強誘電体キャパシタが、
半導体基体上に形成された下部電極層と、
前記下部電極層上に形成された強誘電体層と、
前記強誘電体層上に形成された上部電極層と、
前記下部電極層の上面または前記上部電極層の下面の少なくとも一方に複数個形成された、前記強誘電体層中の反転分極核を発生し易くするための分極核発生電極と、
を備えることを特徴とする強誘電体メモリ。

【請求項 2】 前記分極核発生電極が、前記下部電極層の上面または前記上部電極層の下面に形成された突起であることを特徴とする請求項 1 に記載の強誘電体メモリ。

【請求項 3】 前記分極核発生電極が、前記下部電極層の上面または前記上部電極層の下面に埋め込まれた非突起電極であることを特徴とする請求項 1 に記載の強誘電体メモリ。

【請求項 4】 前記分極核発生電極が、前記下部電極層または前記上部電極層と同じ導電性材料またはその合金で形成された層を含むことを特徴とする請求項 2 に記載の強誘電体メモリ。

【請求項 5】 前記分極核発生電極が、前記強誘電体層中に含有される金属元素または当該金属元素を含む合金で形成されたことを特徴とする請求項 2 または 3 に記載の強誘電体メモリ。

【請求項 6】 前記分極核発生電極が前記下部電極層の上面および前記上部電極層の下面の両方に設けられ、且つ、該下部電極層に設けられた前記分極核発生電極と該上部電極層に設けられた前記分極核発生電極とがそれぞれ前記強誘電体層を介して対向するように配置されたことを特徴とする請求項 1 ～ 5 のいずれかに記載の強誘電体メモリ。

【請求項 7】 前記分極核発生電極が、前記下部電極層の上面または前記上部電極層の下面の少なくとも一方を粗面化にすることにより形成された微細突起であることを特徴とする請求項 1 に記載の強誘電体メモリ。

【請求項 8】 強誘電体キャパシタの分極を利用してビット情報を記憶する強誘電体メモリの製造方法であって、前記強誘電体キャパシタの製造工程が、
半導体基体上に下部電極層を形成する第 1 工程と、
前記下部電極層の上面に、前記強誘電体層中の反転分極核を発生し易くするための分極核発生電極を複数個形成する第 2 工程と、
前記下部電極層上に強誘電体層を形成する第 3 工程と、
前記強誘電体層上に上部電極層を形成する第 4 工程と、
を含むことを特徴とする強誘電体メモリの製造方法。

【請求項 9】 前記第 2 工程が、前記下部電極層の表面にレジストパターンを形成する工程と、前記レジストパターンを介して前記下部電極層上に該下部電極層と同じ導電性材料またはその合金を堆積する工程と、前記レジストパターンを除去する工程とを含むことを特徴とする請求項 8 に記載の強誘電体メモリの製造方法。

【請求項 10】 前記第 2 工程が、前記下部電極層の表面にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記下部電極層の表面を部分エッチングする工程と、前記レジストパターンを除去する工程とを含むことを特徴とする請求項 8 に記載の強誘電体メモリの製造方法。

【請求項 11】 前記第 3 工程で形成された前記強誘電体層上面に溝を形成する第 5 工程をさらに含み、且つ、

前記第 4 工程が、前記第 5 工程後の前記強誘電体層上面に導電体層を堆積することによって、前記上部電極層と当該上部電極層側の分極核発生電極とを同時に形成する工程である、

ことを特徴とする請求項 8 に記載の強誘電体メモリの製造方法。

【請求項 12】 強誘電体キャパシタの分極を利用してビット情報を記憶する強誘電体メモリの製造方法であって、前記強誘電体キャパシタの製造工程が、
半導体基体上に下部電極層を形成する第 1 工程と、

前記下部電極層上に強誘電体層を形成する第 2 工程と、
前記強誘電体層の上面に、前記強誘電体層中の反転分極核を発生し易くするための分極核発生電極を複数個形成する第 3 工程と、
前記強誘電体層上および前記分極核発生電極上に上部電極層を形成する第 4 工程と、
を含むことを特徴とする強誘電体メモリの製造方法。

【請求項 1 3】 前記第 3 工程が、前記強誘電体層の表面にレジストパターンを形成する工程と、前記レジストパターンを介して前記強誘電体層上に該強誘電体層中に含有される金属元素または当該金属元素を含む合金を堆積する工程と、前記レジストパターンを除去する工程とを含むことを特徴とする請求項 1 2 に記載の強誘電体メモリの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、強誘電体メモリすなわち強誘電体キャパシタの分極を利用してビット情報を記憶する半導体メモリに関する。

【0 0 0 2】

【従来の技術】

強誘電体メモリは、書き換え可能な不揮発性半導体メモリの一種である。強誘電体の分極のメカニズムは、例えば下記の非特許文献 1 に記載されている。また、強誘電体メモリの構成は、例えば下記特許文献 1、2 に開示されている。

【0 0 0 3】

特許文献 1 の図 5 にも示されているように、一般的な強誘電体メモリでは、強誘電体キャパシタの一端がドライブ線に接続され、他端が選択トランジスタを介してビット線に接続される。この強誘電体キャパシタの分極状態が、ビット情報となる。例えば、強誘電体キャパシタが正に分極した状態を‘1’とし、負に分極した状態を‘0’とすることができる。

【0 0 0 4】

ドライブ線がハイレベルで且つ選択トランジスタがオンしているとき、強誘電

体キャパシタの分極状態（正または負）に応じて、ビット線の電位が変化する。このビット線電位は、センスアンプでハイレベルまたはローレベルに増幅されて、外部に出力される。

【0005】

強誘電体メモリは、破壊読み出し型であるため、ビット値を読み出す度に再書き込みを行う必要がある。上述のセンスアンプで増幅された電位をビット線に印加することによって、強誘電体キャパシタの両端に再書き込み電圧が印加され、強誘電体キャパシタに対する再書き込みが行われる。

【0006】

【非特許文献1】

塩寄忠監修「強誘電体薄膜集積化技術」（株）サイエンスフォーラム、1992年2月28日、p. 205-213

【特許文献1】

特開平5-82802号公報（第2頁、図5-8）

【特許文献2】

特開平2001-156263号公報（第3-7頁、図1-9）

【0007】

【発明が解決しようとする課題】

近年、強誘電体メモリの高速読み出しに対する要請が大きい。本願発明者は、強誘電体メモリの読み出し速度を遅くしている要因について、以下のような検討を行った。

【0008】

図9は、強誘電体キャパシタの端子間に読み出し電圧が印加されてからセンスアンプを起動するまでの遅延時間と、かかる強誘電体キャパシタの読み出しマージンとの関係を示すグラフである。ここで、読み出しマージンとは、強誘電体メモリの1チップ内に設けられた強誘電体キャパシタ（例えば2000個程度）のうち、読み出される記憶値が‘1’の場合の最低電圧と‘0’の場合の最高電圧との電位差である。なお、ここでは、ビット線に読み出された電位のハイレベルを‘1’、ローレベルを‘0’とする。図9において、縦軸はマージン（ボルト

）であり、且つ、横軸は遅延時間（ナノ秒）である。図 9 では、読み出し電圧が 2 ボルトの場合、読み出し電圧が 3 ボルトの場合、および、読み出し電圧が 3.6 ボルトの場合が示されている。

【0009】

例えば 0.4 V のマージンを得たい場合、遅延時間は、読み出し電圧が 2 ボルトであれば 400 ナノ秒程度、読み出し電圧が 3 ボルトであれば 60 ナノ秒程度、読み出し電圧が 3.6 ボルトであれば 40 ナノ秒程度となる。

【0010】

図 10 (A) ～ (C) は、ビット線への読み出された電位（読み出される記憶値が ‘1’ の場合の最低電圧と ‘0’ の場合の最高電圧）と遅延時間との関係を示すグラフである。図 10 (A) ～ (C) において、縦軸はビット線電位（ボルト）であり、横軸は遅延時間（ナノ秒）である。また、(A) は書き込み電圧が 2 ボルトの場合、(B) は書き込み電圧が 3 ボルトの場合、(C) は書き込み電圧が 3.6 ボルトの場合である。

【0011】

図 10 (A) ～ (C) からわかるように、ビット値が ‘1’ の場合は、読み出し電位が時間に大きく依存する。一方、ビット値が ‘0’ の場合は、読み出し電位が時間にあまり依存しない。‘1’ は分極の反転を伴う場合であり、‘0’ は分極の反転を伴わない場合であるため、分極の反転に時間がかかっていることがわかる。

【0012】

図 11 (A)、(B) は、図 10 (A) ～ (C) の曲線をビット値 ‘0’ の場合とビット値 ‘1’ に分けて示したグラフである。図 11 (A)、(B) において、縦軸はビット線電位（ボルト）であり、横軸は書き込み時間（ナノ秒）である。

【0013】

図 11 (A)、(B) からわかるように、ビット値 ‘0’ の場合は、ビット線電位と遅延時間との関係を示す曲線の形状は、読み出し電圧に依らずほぼ同じである。これに対して、ビット値 ‘1’ の場合（書き込みが分極反転を伴う場合）

は、読み出し電位と遅延時間との関係を示す曲線の形状は、読み出し電圧によって大きく異なる。

【0 0 1 4】

このように、十分なマージンを確保しつつ強誘電体メモリの動作速度を速くするためには、強誘電体キャパシタの読み出し電圧を高くすることが望ましい。

【0 0 1 5】

しかしながら、強誘電体メモリの読出電圧を高くすると、消費電力が増大するという欠点が生じる。さらに、かかる電圧を高くすると、強誘電体キャパシタの電界強度が高くなるので、絶縁体としての信頼性の劣化が促進されてしまうという欠点も生じる。

【0 0 1 6】

このため、強誘電体キャパシタへの印加電圧を高くすることなしに、強誘電体メモリの高速書き込み動作を実現する技術が望まれる。

【0 0 1 7】

図 1 2 は、強誘電キャパシタの再書き込みを行う際の分極メカニズムを説明するための概念図であり、上記非特許文献 1 の図 - 1 と同じ図面である。

【0 0 1 8】

図 1 2 において、強誘電体層 1 2 0 2 には、下部電極 1 2 0 1 および上部電極 1 2 0 3 によって、電圧が印加される。これにより、まず、強誘電体層 1 2 0 2 内の複数箇所に、くさび形の、反転分極の核 1 2 0 4 が形成される（図 1 2 (A) 参照）。これらの核は、上部・下部電極層 1 2 0 1, 1 2 0 3 と強誘電体層 1 2 0 2 との界面に発生する。そして、これらの核は、縦方向に成長して、他方の電極層に達する（図 1 2 (B) 参照）。さらに、これらの核は、横方向へ成長して互いに合体する（図 1 2 (C) 参照）。これにより、強誘電体キャパシタの分極反転が、飽和状態になる。

【0 0 1 9】

ここで、反転分極の核では、縦方向の成長速度が速く、且つ、横方向の成長速度が遅い。したがって、強誘電体キャパシタの分極反転に要する時間は、核の横方向の成長時間に大きく依存する。

【0020】

このように、強誘電体メモリの書き込み速度を向上させるためには、再書き込みを行う際に、反転分極核の横方向の成長時間を短縮させることが、非常に有効である。

【0021】**【課題を解決するための手段】**

(1) 第1の発明に係る強誘電体メモリは、強誘電体キャパシタの分極を利用してビット情報を記憶する強誘電体メモリに関する。

【0022】

そして、強誘電体キャパシタが、半導体基体上に形成された下部電極層と、下部電極層上に形成された強誘電体層と、強誘電体層上に形成された上部電極層と、下部電極層の上面または上部電極層の下面の少なくとも一方に複数個形成された、強誘電体層中の反転分極核を発生し易くするための分極核発生電極とを備える。

【0023】

第1の発明によれば、分極核発生電極を設けたので、強誘電体層内に、短い間隔で反転分極核を形成することができる。このため、反転分極核の横方向の成長に要する時間を、短縮することができる。したがって、強誘電体キャパシタの動作時間が短縮されるので、強誘電体メモリの動作速度が向上する。

【0024】

(2) 第2の発明に係る強誘電体メモリの製造方法は、強誘電体キャパシタの分極を利用してビット情報を記憶する強誘電体メモリの製造方法に関する。

【0025】

そして、強誘電体キャパシタの製造工程が、半導体基体上に下部電極層を形成する第1工程と、下部電極層の上面に強誘電体層中の反転分極核を発生し易くするための分極核発生電極を複数個形成する第2工程と、下部電極層上に強誘電体層を形成する第3工程と、強誘電体層上に上部電極層を形成する第4工程とを含む。

【0026】

第 2 の発明によれば、高速動作が可能な強誘電体メモリを簡単な工程で安価に製造することができる。

【 0 0 2 7 】

(3) 第 3 の発明に係る強誘電体メモリの製造方法は、強誘電体キャパシタの分極を利用してビット情報を記憶する強誘電体メモリの製造方法に関する。

【 0 0 2 8 】

そして、強誘電体キャパシタの製造工程が、半導体基体上に下部電極層を形成する第 1 工程と、下部電極層上に強誘電体層を形成する第 2 工程と、強誘電体層の上面に強誘電体層中の反転分極核を発生し易くするための分極核発生電極を複数個形成する第 3 工程と、強誘電体層上および分極核発生電極上に上部電極層を形成する第 4 工程とを含む。

【 0 0 2 9 】

第 3 の発明によれば、高速動作が可能な強誘電体メモリを簡単な工程で安価に製造することができる。

【 0 0 3 0 】

【発明の実施の形態】

以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、この発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎない。

【 0 0 3 1 】

第 1 の実施の形態

以下、この発明の第 1 の実施の形態に係る強誘電体メモリ 1 0 0 について、図 1 ～図 3 を用いて説明する。強誘電体メモリの回路構成は、従来と同様であるので、説明を省略する。この実施の形態に係る強誘電体メモリは、強誘電体キャパシタの構造が、従来の強誘電体メモリと異なる。

【 0 0 3 2 】

図 1 は、この実施の形態に係る強誘電体キャパシタの構造を概念的に示す断面図である。

【0033】

図1に示したように、シリコン基板110上には酸化シリコン膜120が形成され、この酸化シリコン膜120上に強誘電体キャパシタ130が形成される。この強誘電体キャパシタ130は、下部電極層131と、多数個の分極核発生電極132、132、・・・と、強誘電体層133と、上部電極層134とを備えている。

【0034】

下部電極層131、分極核発生電極132および上部電極層134は、例えば白金やイリジウム等で形成される。また、白金やイリジウムを含む合金を使用することもできる。さらには、例えば IrO_2/Ir 、 $\text{Pt}/\text{IrO}_2/\text{Ir}$ の積層構造であってもよい。

【0035】

また、強誘電体層133は、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{PbZr}_x\text{Ti}_{1-x}$ ($0 \leq x \leq 1$ 、一般にPZTと称される)、 PbTiO_3 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 等で形成される。また、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ におけるTaの一部（例えば5～20%）をNbに一部置換したもの（一般にSBTNと称される）を強誘電体層133の形成材料にすることもできる。

【0036】

次に、強誘電体キャパシタ130の製造方法について、図2を用いて説明する。

【0037】

①まず、シリコン基板110上に、例えば、プラズマTEOS（テトラエチルオキシシラン）法を用いて、酸化シリコン膜120を形成する（図2（A）参照）。酸化シリコン膜の膜厚は、例えば200nmである。

【0038】

②酸化シリコン膜120上に、例えばRF(Radio Frequency)スパッタリング法等を用いて白金等を堆積することにより、下部電極層131を形成する（図2（A）参照）。下部電極層131の厚さは、例えば200nmである。

【0039】

③下部電極層 1 3 1 の表面にレジスト層を形成し、さらに、このレジスト層を通常のフォトリソグラフィ技術を用いてパターンニングすることにより、レジストパターン 2 0 1 を形成する（図 2（B）参照）。

【0 0 4 0】

④例えば R F (Radio Frequency) スパッタリング法等を用いて、全面に白金等を堆積する。その後、レジストパターン 2 0 1 を除去する。このとき、レジストパターン 2 0 1 上に堆積された白金等も除去される。これにより、突起状の分極核発生電極 1 3 2 が形成される（図 2（C）参照）。分極核発生電極 1 3 2 の厚さ（高さ）は、特に限定されないが、強誘電体キャパシタ 1 3 0 の耐圧性を損なわず且つ反転分極の核が形成されやすい厚さに決定される（後述）。また、分極核発生電極 1 3 2 の間隔は、反転分極核の横方向の成長時間が十分に短くなるように決定される（後述）。本発明者の検討によれば、分極核発生電極 1 3 2 の厚さは例えば強誘電体層 1 3 3 の膜厚の 1 0 % 程度が望ましく、分極核発生電極 1 3 2 の間隔は例えばキャパシタ寸法の 1 0 % 以下が望ましい（後述）。

【0 0 4 1】

⑤下部電極層 1 3 1 および分極核発生電極 1 3 2 上に、例えばスピコート法を用いて、強誘電体膜を形成する。この後、7 0 0 ℃の酸素ガス中で 6 0 分間アニールすることにより、この強誘電体膜を結晶化する。これにより、強誘電体層 1 3 3 が形成される（図 2（D）参照）。強誘電体層 1 3 3 の膜厚は、例えば 1 2 0 n m である。

【0 0 4 2】

⑥最後に、強誘電体層 1 3 3 の表面に、例えば R F スパッタリング法等を用いて白金等を堆積することにより、上部電極層 1 3 4 を形成する（図 1 参照）。上部電極層 1 3 4 の厚さは、例えば 2 0 0 n m である。

【0 0 4 3】

次に、強誘電体キャパシタ 1 3 0 を用いることによって強誘電体メモリの高速動作が実現される理由を説明する。

【0 0 4 4】

図 3 は、強誘電体キャパシタ 1 3 0 内に反転分極核が形成された状態を概念的

に示す断面図である。

【0045】

分極核発生電極 132 が形成された領域では、強誘電体層 133 の膜厚が小さいので、電界強度が高く、したがって反転分極の核が発生し易くなる。このため、分極核発生電極 132 の間隔を十分に短くすることにより、反転分極核が生成される間隔を、従来よりも短くすることが可能である。反転分極核の生成間隔が短い場合、各反転分極核の横方向への成長量（図 3 の符号 L 参照）は、少なくともよいことになる。したがって、この実施の形態によれば、強誘電体層 133 全体が反転分極されるための所要時間を短縮することができる。

【0046】

また、強誘電体層 133 の厚さを全体的に薄くする場合と比較して、強誘電体キャパシタ 130 の耐圧特性を損ない難い。

【0047】

上述のような理由から（図 9 ～ 図 12 参照）、強誘電体メモリの動作速度を向上させるためには、強誘電体キャパシタの強誘電層内に形成される核の、横方向の成長時間を短縮させることが、非常に有効である。したがって、この実施の形態によれば、強誘電体メモリの動作速度を向上させることができる。

【0048】

加えて、この実施の形態に係る強誘電体メモリの製造方法によれば、簡単な工程のみで、高速動作の強誘電体メモ리를製造することができる。

【0049】

第 2 の実施の形態

次に、この発明の第 2 の実施の形態に係る強誘電体メモリについて、図 4 を用いて説明する。この実施の形態は、下部電極層を部分エッチングすることによって分極核発生電極を形成する点で、上述の第 1 の実施の形態と異なる。

【0050】

図 4（A）～（D）は、この実施の形態に係る強誘電体キャパシタの製造方法を示す工程断面図である。以下、図 4（A）～（D）を用いて、この実施の形態に係る製造方法を説明する。

【0051】

①まず、シリコン基板110上に、例えば、プラズマTEOS（テトラエチルオキシシラン）法を用いて、酸化シリコン膜120を形成する（図4（A）参照）。酸化シリコン膜の膜厚は、例えば200nmである。

【0052】

②酸化シリコン膜120上に、例えばRF（Radio Frequency）スパッタリング法等を用いて、下部電極層401を形成する（図4（A）参照）。下部電極層401の形成に使用できる材料は、上述の第1の実施の形態における下部電極層131の形成材料と同様である。

【0053】

③下部電極層401の表面にレジスト層を形成し、さらに、このレジスト層を通常のフォトリソグラフィ技術を用いてパターニングすることにより、レジストパターン402を形成する（図4（B）参照）。

【0054】

④このレジストパターン402を用いたドライエッチングにより、下部電極層401をエッチングする。レジストパターン402は、エッチングの終了後に除去される。これにより、レジストパターン402で覆われていた部分に突起状の分極核発生電極132が形成され、且つ、残りの部分が最終的な下部電極層131になる（図4（C）参照）。エッチガスとしては、例えば、ArガスとCl₂ガスを1：1の割合で含む混合ガスを使用する。分極核発生電極132の厚さおよび分極核発生電極132の間隔は、上述の第1の実施の形態と同様にして決定される。下部電極層131の厚さは、第1の実施の形態と同様、例えば200nmである。

【0055】

⑤次に、下部電極層131および分極核発生電極132上に、第1の実施の形態と同様にして、強誘電体膜を形成する。強誘電体層133の膜厚は、第1の実施の形態と同様、例えば120nmである。

【0056】

⑥最後に、第1の実施の形態と同様にして、強誘電体層133の表面に、上部

電極層 134 を形成する (図 4 (D) 参照)。上部電極層 134 の厚さは、第 1 の実施の形態と同様、例えば 200 nm である。

【0057】

このように、分極核発生電極 132 は、下部電極層 131 の表面を部分エッチングすることによっても形成することができる。

【0058】

この実施の形態によっても、多数の反転分極核を短い間隔で形成することができ、したがって、第 1 の実施の形態と同様の理由により、強誘電体メモリの動作速度を向上させることができる。

【0059】

加えて、この実施の形態に係る強誘電体メモリの製造方法によれば、第 1 の実施の形態と同様、簡単な工程のみで、高速動作の強誘電体メモリを製造することができる。

【0060】

第 3 の実施の形態

次に、この発明の第 3 の実施の形態に係る強誘電体メモリについて、図 5 を用いて説明する。この実施の形態は、強誘電体層中に含有される金属元素または当該金属元素を含む合金で分極核発生電極が形成される点で、上述の第 1、第 2 の実施の形態と異なる。

【0061】

図 5 (A) ~ (D) は、この実施の形態に係る強誘電体キャパシタの製造方法を示す工程断面図である。以下、強誘電体層を $\text{SrBi}_2\text{Ta}_2\text{O}_9$ で形成し且つ分極核発生電極をビスマス (Bi) で形成する場合を例に採って、この実施の形態に係る製造方法を説明する。

【0062】

①まず、シリコン基板 110 上に、第 1 の実施の形態と同様にして、酸化シリコン膜 120 を形成する (図 5 (A) 参照)。酸化シリコン膜の膜厚は、例えば 200 nm である。

【0063】

②酸化シリコン膜 120 上に、第 1 の実施の形態と同様にして、下部電極層 131 を形成する (図 5 (A) 参照)。下部電極層 131 の形成に使用できる材料は、上述の第 1 の実施の形態における下部電極層 131 の形成材料と同様である。下部電極層 131 の厚さは、例えば 200 nm である。

【0064】

③下部電極層 131 の表面にレジスト層を形成し、さらに、このレジスト層を通常のフォトリソグラフィ技術を用いてパターンニングすることにより、レジストパターン 501 を形成する (図 5 (B) 参照)。

【0065】

④例えば RF (Radio Frequency) スパッタリング法等を用いて、ビスマスを堆積する。その後、レジストパターン 501 を除去する。このとき、レジストパターン 501 上に堆積されたビスマスも除去される。これにより、突起状の分極核発生電極 132 が形成される (図 5 (C) 参照)。分極核発生電極 132 の厚さおよび間隔は、第 1 の実施の形態と同様にして決定される。

【0066】

⑤下部電極層 131 および分極核発生電極 132 上に、第 1 の実施の形態と同様にして、強誘電体膜を形成する。強誘電体層 133 の膜厚は、第 1 の実施の形態と同様、例えば 120 nm である。

【0067】

⑥最後に、第 1 の実施の形態と同様にして、強誘電体層 133 の表面に、上部電極層 134 を形成する (図 5 (D) 参照)。上部電極層 134 の厚さは、第 1 の実施の形態と同様、例えば 200 nm である。

【0068】

この実施の形態によっても、多数の反転分極核を短い間隔で形成することができ、したがって、第 1 の実施の形態と同様の理由により、強誘電体メモリの動作速度を向上させることができる。

【0069】

加えて、強誘電体層を $\text{SrBi}_2\text{Ta}_2\text{O}_9$ で形成する場合、ビスマス濃度の高い領域で反転分極核が形成されやすい。したがって、分極核発生電極 132 をビ

スマスで形成することにより、この分極核発生電極 132 上で反転分極核が安定して形成される可能性が高くなる。このため、この実施の形態によれば、強誘電体メモリの高速動作を、安定的に確保することができる。

【0070】

なお、この実施の形態では、強誘電体層 133 を $\text{SrBi}_2\text{Ta}_2\text{O}_9$ で形成し且つ分極核発生電極 132 をピスマスで形成する場合を説明したが、分極核発生電極 132 をピスマス合金で形成しても、同様の効果を得ることができる。また、強誘電体層 133 の形成材料によっては、他の材料例えばタンタル (Ta)、ストロンチウム (Sr)、ニオブ (Nb) 等或いはこれらの金属の合金で、分極核発生電極 132 を形成できる場合もある。すなわち、分極核形成電極 132 の形成材料は、強誘電体層 133 の形成材料に応じて適宜決定される。

【0071】

加えて、この実施の形態に係る強誘電体メモリの製造方法によれば、第 1 の実施の形態と同様、簡単な工程のみで、高速動作の強誘電体メモリを製造することができる。

【0072】

第 4 の実施の形態

次に、この発明の第 5 の実施の形態に係る強誘電体メモリについて、図 6 を用いて説明する。この実施の形態は、上部電極層に非突起状の分極核発生電極が埋め込まれた点で、上述の第 1 ～ 第 3 の実施の形態と異なる。

【0073】

図 6 (A) ～ (C) は、この実施の形態に係る強誘電体キャパシタの製造方法を示す工程断面図である。以下、強誘電体層を $\text{SrBi}_2\text{Ta}_2\text{O}_9$ で形成し且つ分極核発生電極をピスマス (Bi) で形成する場合を例に採って、この実施の形態に係る製造方法を説明する。

【0074】

①第 1 の実施の形態と同様にして、シリコン基板 110 上に、酸化シリコン膜 120、下部電極層 131 および強誘電体層 133 を形成する（分極核形成電極 132 は形成しない）。それぞれの膜の形成方法および厚さは、第 1 の実施の形

態と同様である。

【0075】

②次に、強誘電体層 133 の上面に、レジスト層を形成し、さらに、このレジスト層を通常のフォトリソグラフィ技術を用いてパターンニングすることにより、レジストパターン 601 を形成する（図 6（A）参照）。

【0076】

③例えば RF スパッタリング法等を用いて、全面にビスマスを堆積する。その後、レジストパターン 601 を除去する。このとき、レジストパターン 601 上に堆積されたビスマスも除去される。これにより、分極核発生電極 602 が形成される（図 6（B）参照）。分極核発生電極 602 の厚さ（高さ）は、特に限定されないが、例えば強誘電体層 133 の膜厚の 10% 程度に形成すればよい。また、分極核発生電極 602 の間隔は、反転分極核の横方向の成長時間が十分に短くなるように決定すればよく、例えばキャパシタ寸法の 10% 以下に形成される。

【0077】

④最後に、強誘電体層 133 の表面に、例えば RF スパッタリング法等を用いて白金等を堆積することにより、上部電極層 134 を形成する（図 6（C）参照）。上部電極層 134 の厚さは、第 1 の実施の形態と同様、例えば 200 nm である。

【0078】

上述のように（第 3 の実施の形態参照）、強誘電体層を $\text{SrBi}_2\text{Ta}_2\text{O}_9$ で形成する場合、ビスマス濃度の高い領域で反転分極核が形成されやすい。したがって、分極核発生電極をビスマスで形成する場合、この分極核発生電極を強誘電体層内に突起させなくても、この発明の効果を得ることができる。この場合には、分極核発生電極 602 が形成された領域でも下部電極層 131 と上部電極層 134 との間隔が大きいので、強誘電体キャパシタ 130 の耐压特性に対する信頼性が大きい。

【0079】

なお、この実施の形態では、強誘電体層 133 を $\text{SrBi}_2\text{Ta}_2\text{O}_9$ で形成し

且つ分極核発生電極 602 をビスマスで形成する場合を説明したが、分極核発生電極 602 をビスマス合金で形成しても、同様の効果を得ることができる。また、強誘電体層 133 の形成材料によっては、他の材料例えばタンタル (Ta)、ストロンチウム (Sr)、ニオブ (Nb) 等或いはこれらの金属の合金で、分極核発生電極 602 を形成できる場合もある。すなわち、分極核形成電極 602 の形成材料は、強誘電体層 133 の形成材料に応じて適宜決定される。

【0080】

加えて、この実施の形態に係る強誘電体メモリの製造方法によれば、第 1 の実施の形態と同様、簡単な工程のみで、高速動作の強誘電体メモリを製造することができる。

【0081】

第 5 の実施の形態

次に、この発明の第 5 の実施の形態に係る強誘電体メモリについて、図 7 を用いて説明する。この実施の形態は、下部電極層側と上部電極層側の両方に分極核発生電極が形成される点で、上述の第 1 ～第 4 の実施の形態と異なる。

【0082】

図 7 (A) ～ (C) は、この実施の形態に係る強誘電体キャパシタの製造方法を示す工程断面図である。以下、図 7 (A) ～ (C) を用いて、この実施の形態に係る製造方法を説明する。

【0083】

①第 1 の実施の形態と同様にして、シリコン基板 110 上に、酸化シリコン膜 120、下部電極層 131、分極核発生電極 132 および強誘電体層 133 を形成する。それぞれの膜の形成方法および厚さは、第 1 の実施の形態と同様である。

【0084】

②次に、強誘電体層 133 の上面にレジスト層を形成し、さらに、このレジスト層を通常のフォトリソグラフィ技術を用いてパターンニングすることにより、レジストパターン 701 を形成する (図 7 (A) 参照)。ここで、レジストパターン 701 は、分極核発生電極 132 が形成されていない部分 (下部電極層 13

1が露出している部分)と対向する位置に、設けられる。

【0085】

③そして、このレジストパターン701をエッチマスクとして、エッチングを行う。これにより、強誘電体層133の全面に溝702が形成される。レジストパターン701は、エッチングの終了後に除去される(図7(B)参照)。エッチガスとしては、例えば、 Ar 、 Cl_2 、 CHF_3 および HBr を2:2:1:1の割合で含む混合ガスを使用する。

【0086】

④最後に、強誘電体層133の表面に、例えばRFスパッタリング法等を用いて白金等を堆積することにより、分極核発生電極703および上部電極層134を同時に形成する(図7(C)参照)。上部電極層134の厚さは、第1の実施の形態と同様、例えば200nmである。なお、分極核発生電極703の厚さは、分極核発生電極132と同様にして決定される。

【0087】

この実施の形態によっても、多数の反転分極核を短い間隔で形成することができ、したがって、第1の実施の形態と同様の理由により、強誘電体メモリの動作速度を向上させることができる。

【0088】

また、この実施の形態では、下部電極層側と上部電極層側の両方に分極核発生電極が形成される。加えて、下部電極層側の分極核発生電極132と上部電極層側の分極核発生電極703とは、互いに対向するような位置に形成される。したがって、分極核発生電極132、703が形成された領域と形成されていない領域との電界強度差は、第1～第3の実施の形態の強誘電体キャパシタよりも、さらに大きくなる。このため、この実施の形態によれば、第1の実施の形態よりもさらに、反転分極核を発生し易くすることができる。

【0089】

加えて、この実施の形態に係る強誘電体メモリの製造方法によれば、第1の実施の形態と同様、簡単な工程のみで、高速動作の強誘電体メモ리를製造することができる。

【 0 0 9 0 】

なお、上記工程②、③を用いれば、上部電極層側のみに突起状の分極核発生電極を形成することも可能である。この場合には、第 1 の実施の形態と同様の効果を得ることができる。

【 0 0 9 1 】**第 6 の実施の形態**

次に、この発明の第 6 の実施の形態に係る強誘電体メモリについて、図 8 を用いて説明する。この実施の形態は、下部電極層の上面を粗面化することによって微細突起状の分極核発生電極を形成する点で、上述の第 1 の実施の形態と異なる。

【 0 0 9 2 】

図 8 (A) , (B) は、この実施の形態に係る強誘電体キャパシタの製造方法を示す工程断面図である。以下、図 8 (A) , (B) を用いて、この実施の形態に係る製造方法を説明する。

【 0 0 9 3 】

①まず、第 1 の実施の形態と同様にして、シリコン基板 1 1 0 上に、酸化シリコン膜 1 2 0 および下部電極層 1 3 1 を形成する (図 8 (A) 参照)。これらの膜の形成方法および厚さは、第 1 の実施の形態と同様である。

【 0 0 9 4 】

②次に、下部電極層 1 3 1 の表面 8 0 1 を粗面化する (図 8 (B) 参照)。この粗面化処理は、例えば、下部電極層 1 3 1 の表面全体にエッチングを施すことによって、行うことができる。また、下部電極層 1 3 1 を加熱して結晶化させることによって、粗面化処理を行うことができる。例えば、下部電極層 1 3 1 が白金で形成される場合、7 5 0 ℃、3 0 分の加熱処理によって、結晶化による粗面化を行うことができる。

【 0 0 9 5 】

③その後、第 1 の実施の形態と同様にして、強誘電体層 1 3 3 および上部電極層 1 3 4 を形成する (図 8 (C) 参照)。これらの膜の形成方法および厚さは、第 1 の実施の形態と同様である。

【0 0 9 6】

この実施の形態によっても、多数の反転分極核を短い間隔で形成することができ、したがって、第 1 の実施の形態と同様の理由により、強誘電体メモリの動作速度を向上させることができる。

【0 0 9 7】

加えて、この実施の形態に係る強誘電体メモリの製造方法によれば、第 1 の実施の形態と同様、簡単な工程のみで、高速動作の強誘電体メモリを製造することができる。

【0 0 9 8】

第 1 ～第 6 の実施の形態では、シリコン基板 1 1 0 上に、酸化シリコン膜 1 2 0 を介して強誘電体メモリを形成する場合（プレーナ型構造）を例に採って説明した。しかし、例えばシリコン基板 1 1 0 上にトランジスタを形成し、このトランジスタ上に強誘電体メモリを形成するような場合（スタティック型構造）の集積回路にも、この発明を適用することが可能である。

【0 0 9 9】**【発明の効果】**

以上詳細に説明したように、この発明に係る強誘電体メモリによれば、分極核発生電極を設けたので、強誘電体層内に、短い間隔で反転分極核を形成することができる。このため、反転分極核の横方向の成長に要する時間を短縮することができ、したがって、強誘電体キャパシタの動作時間が短縮されるので、強誘電体メモリの動作速度が向上する。

【0 1 0 0】

また、以上詳細に説明したように、この発明に係る強誘電体メモリの製造方法によれば、高速動作が可能な強誘電体メモリを簡単な工程で安価に製造することができる。

【図面の簡単な説明】**【図 1】**

第 1 の実施の形態に係る強誘電体メモリで使用される強誘電体キャパシタの構成を概略的に示す断面図である。

【図 2】

第 1 の実施の形態に係る強誘電体キャパシタの製造方法を示す断面工程図である。

【図 3】

第 1 の実施の形態に係る強誘電体キャパシタの動作原理を説明するための概略的断面図である。

【図 4】

第 2 の実施の形態に係る強誘電体キャパシタの構造および製造方法を示す断面工程図である。

【図 5】

第 3 の実施の形態に係る強誘電体キャパシタの構造および製造方法を示す断面工程図である。

【図 6】

第 4 の実施の形態に係る強誘電体キャパシタの構造および製造方法を示す断面工程図である。

【図 7】

第 5 の実施の形態に係る強誘電体キャパシタの構造および製造方法を示す断面工程図である。

【図 8】

第 6 の実施の形態に係る強誘電体キャパシタの構造および製造方法を示す断面工程図である。

【図 9】

従来の強誘電体キャパシタの動作原理を説明するためのグラフである。

【図 1 0】

従来の強誘電体キャパシタの動作原理を説明するためのグラフである。

【図 1 1】

従来の強誘電体キャパシタの動作原理を説明するためのグラフである。

【図 1 2】

従来の強誘電体キャパシタの動作原理を説明するための概略的断面図である。

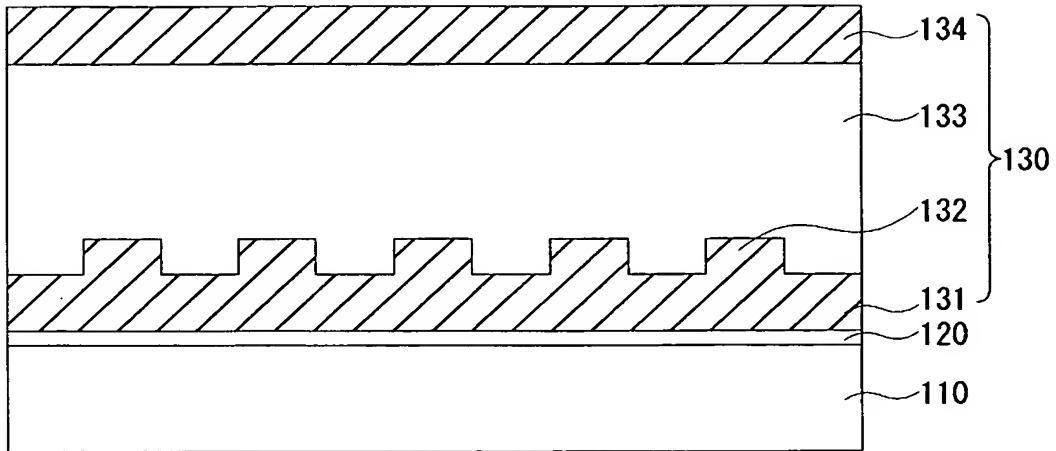
【符号の説明】

- 1 0 0 強誘電体メモリ
- 1 1 0 シリコン基板
- 1 2 0 酸化シリコン膜
- 1 3 0 強誘電体キャパシタ
- 1 3 1 下部電極層
- 1 3 2 分極核発生電極
- 1 3 3 強誘電体層
- 1 3 4 上部電極層

【書類名】 図面

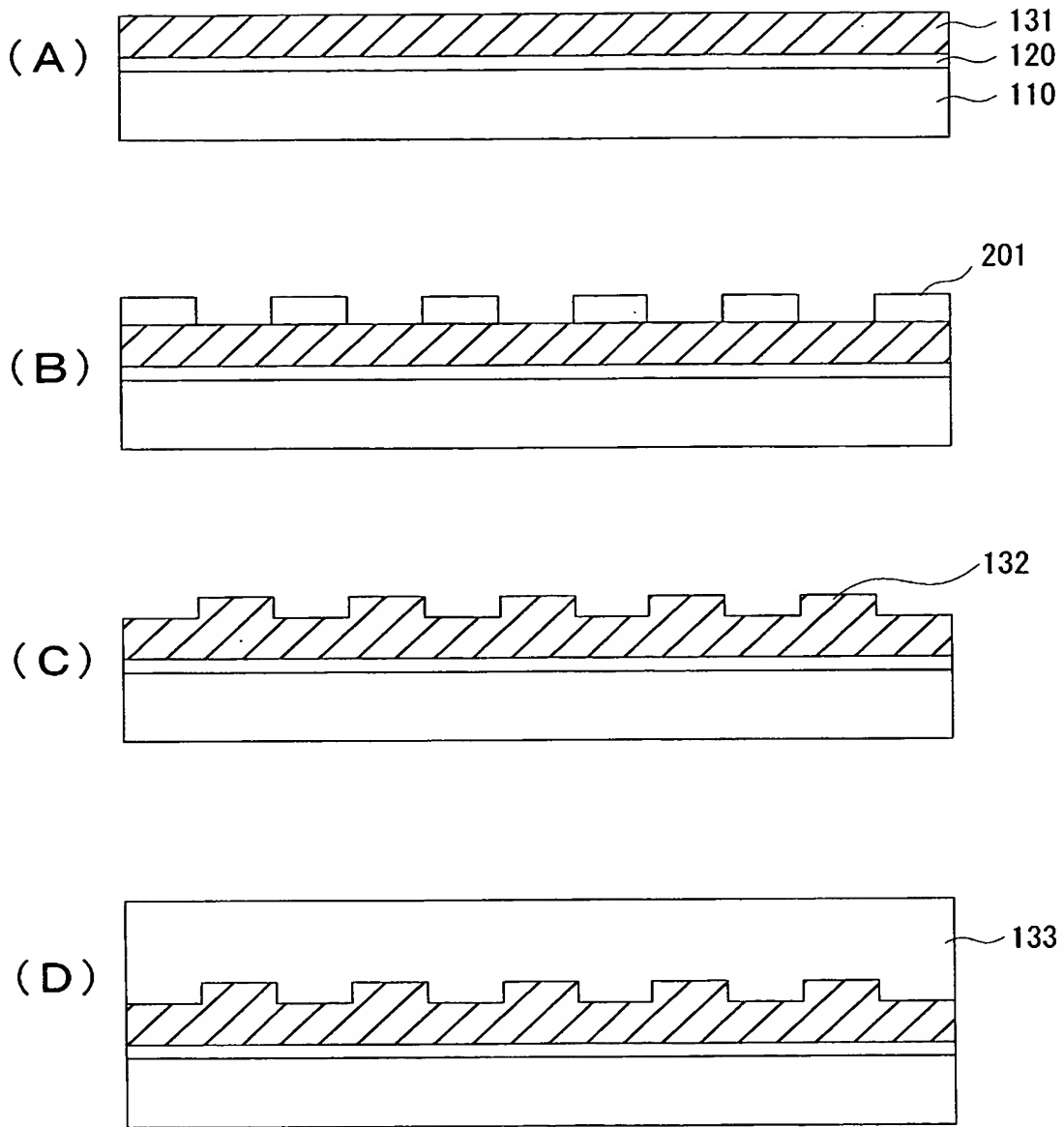
【図 1】

100



第 1 の実施の形態の構成

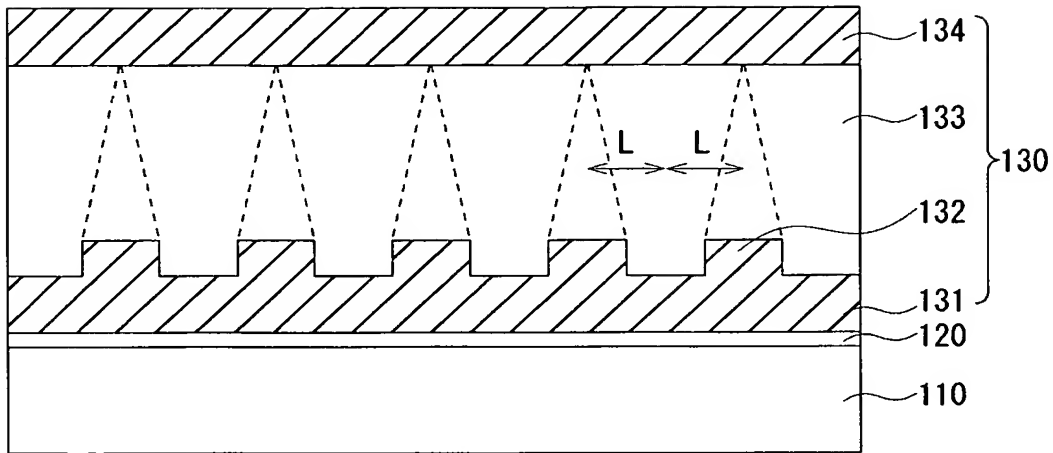
【図 2】



第 1 の実施の形態の製造工程

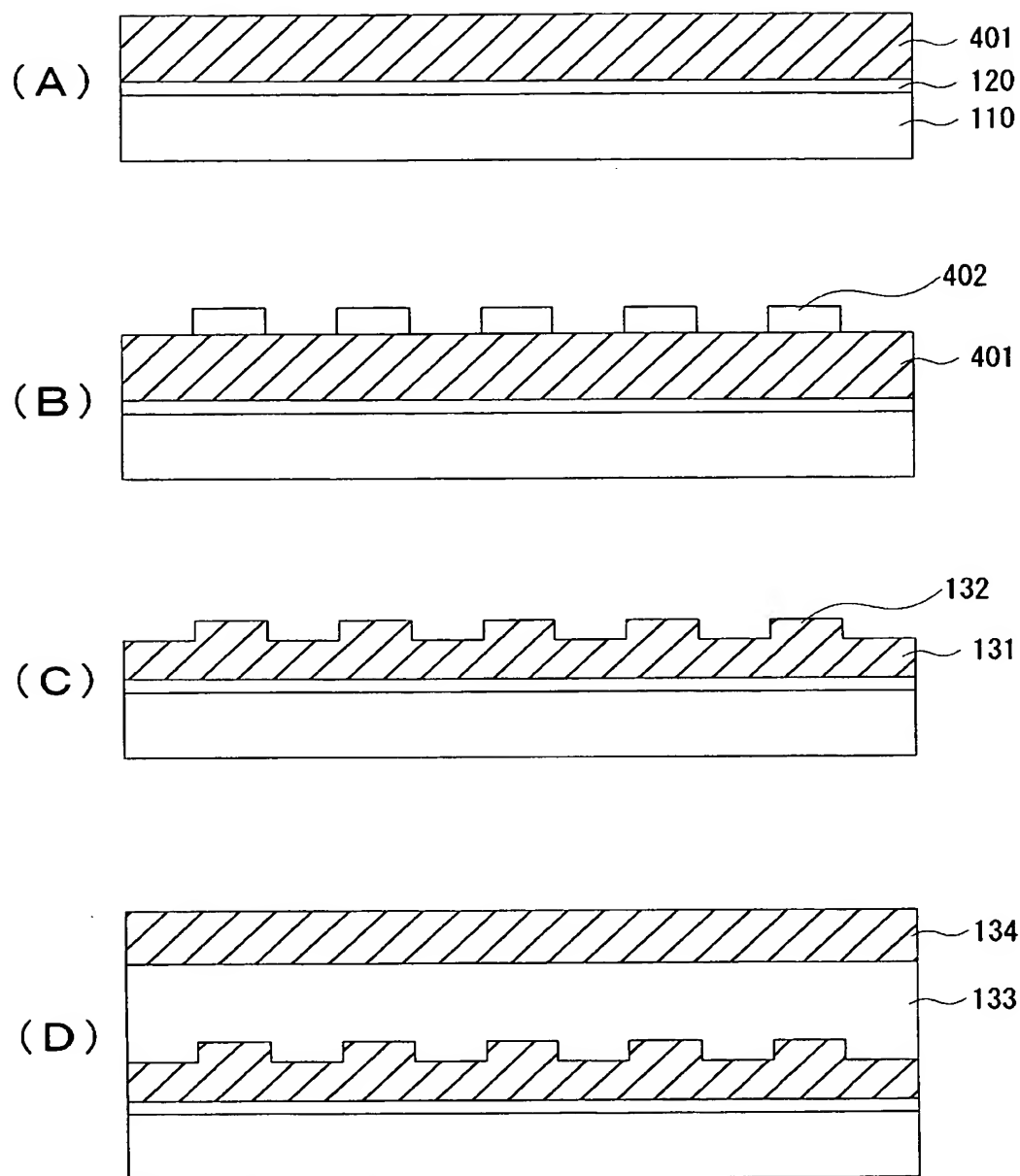
【図 3】

100



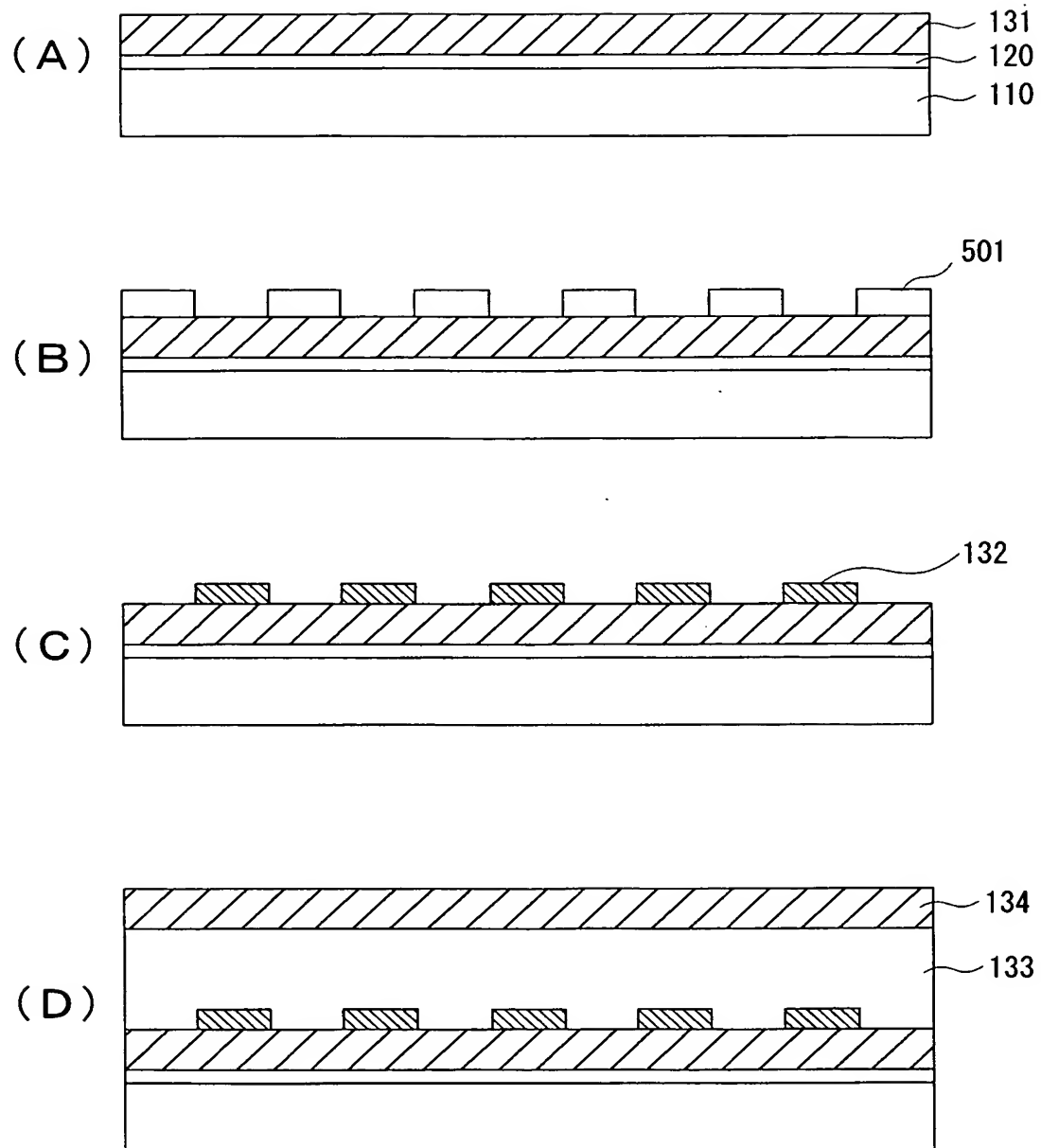
第 1 の実施の形態の動作原理

【図 4】



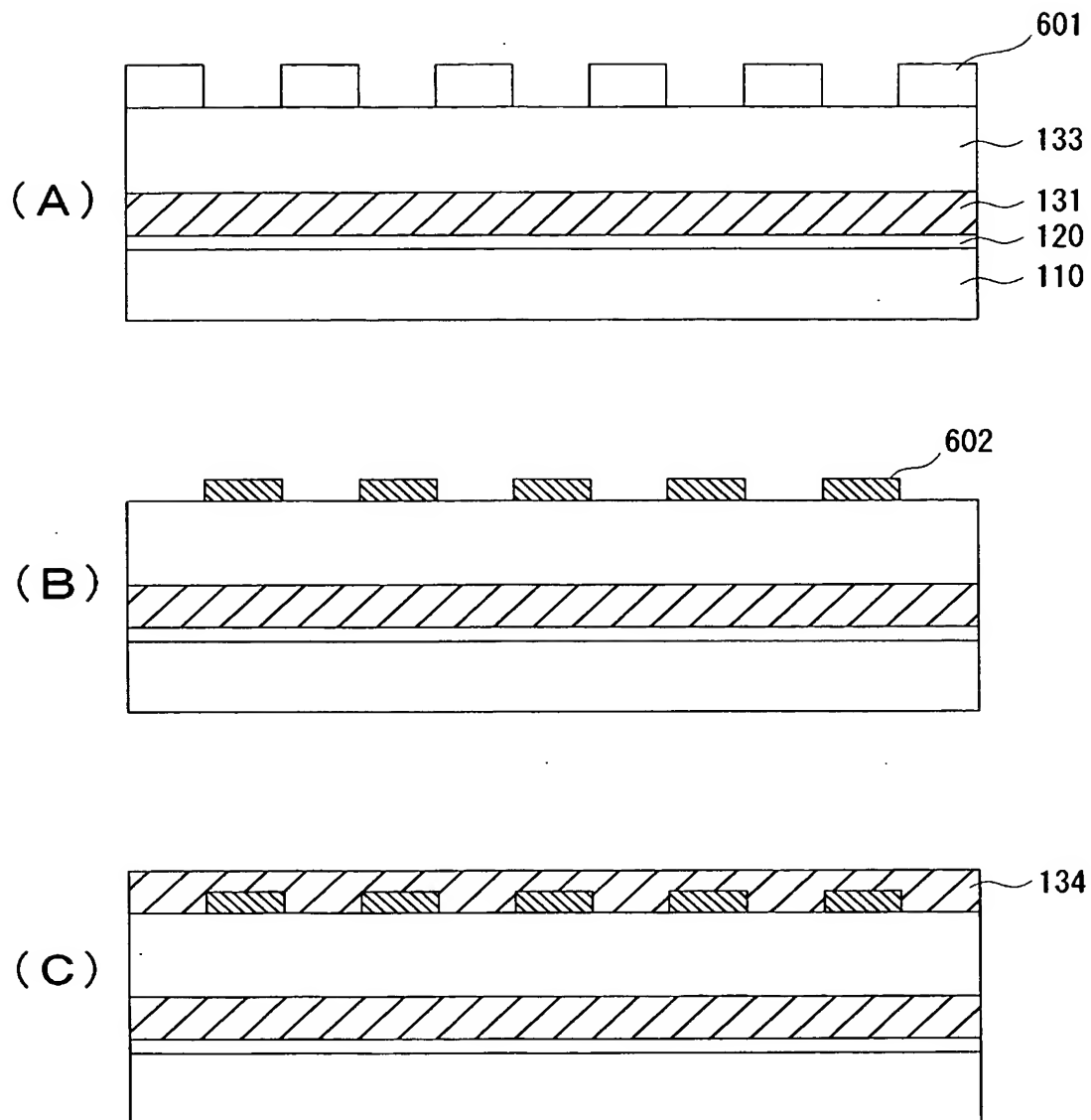
第 2 の実施の形態の製造工程

【図 5】



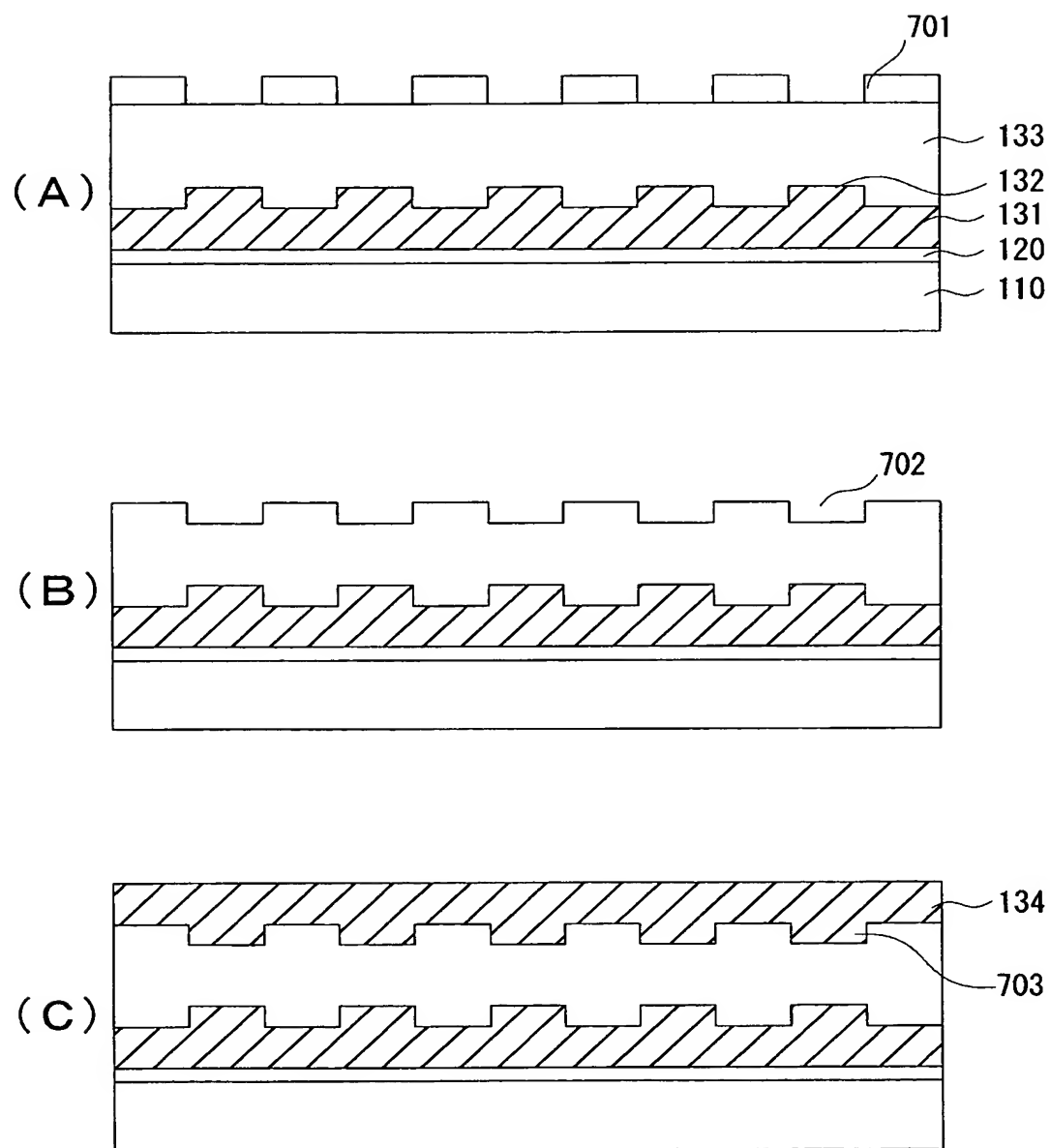
第 3 の実施の形態の製造工程

【図 6】



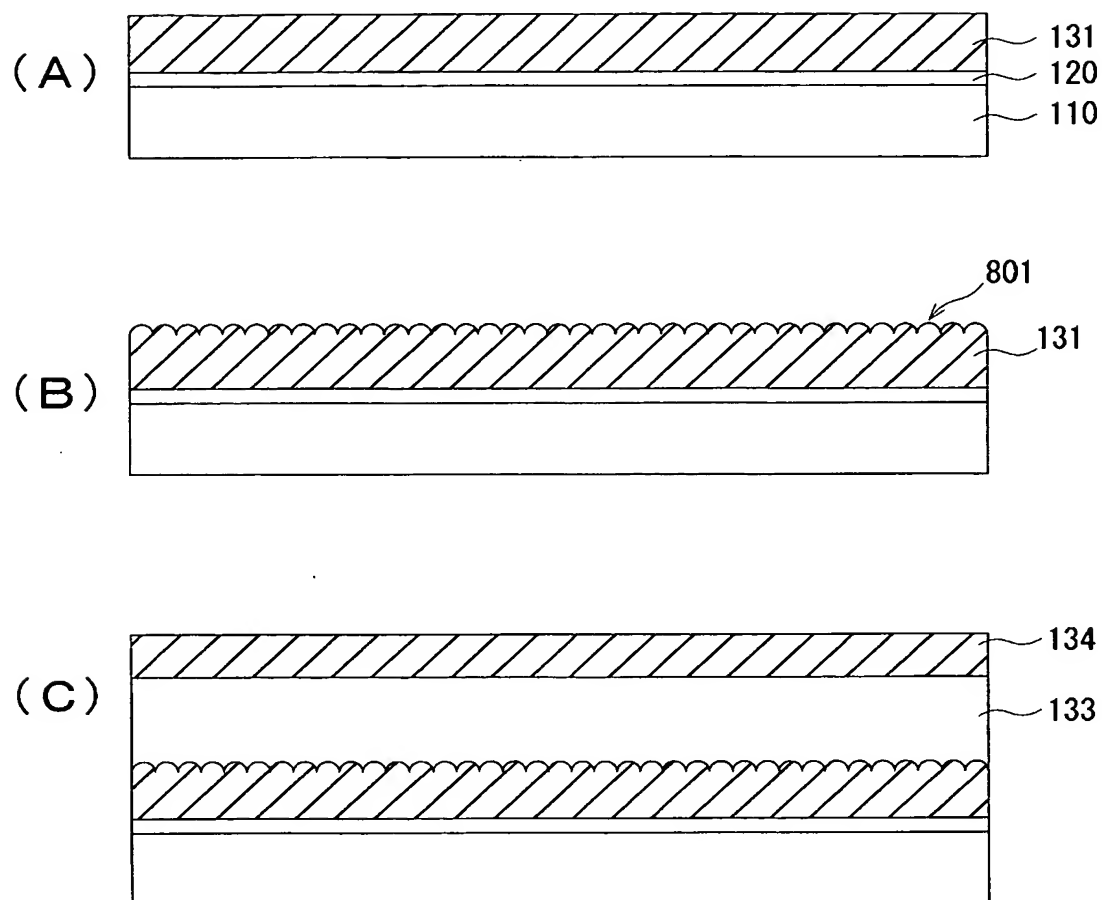
第 4 の実施の形態の製造工程

【図 7】



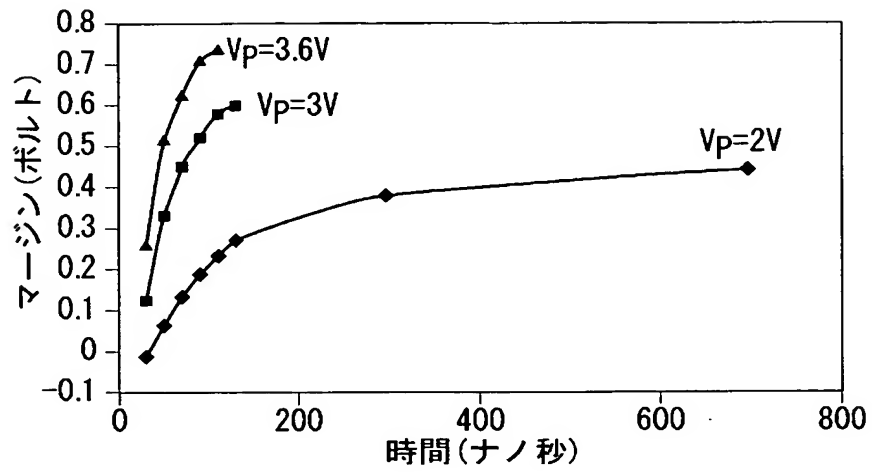
第 5 の実施の形態の製造工程

【図 8】



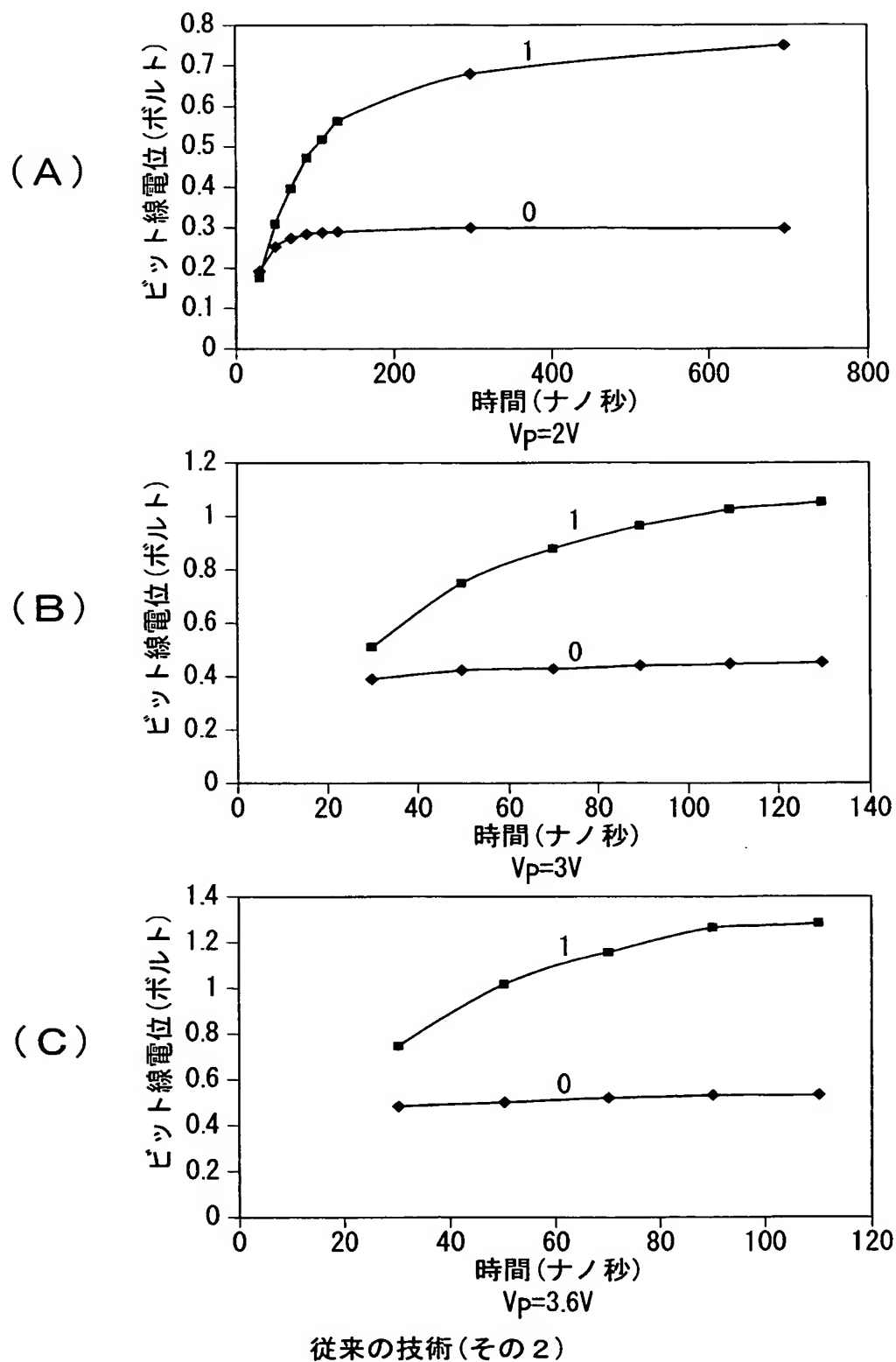
第 6 の実施の形態の製造工程

【図 9】

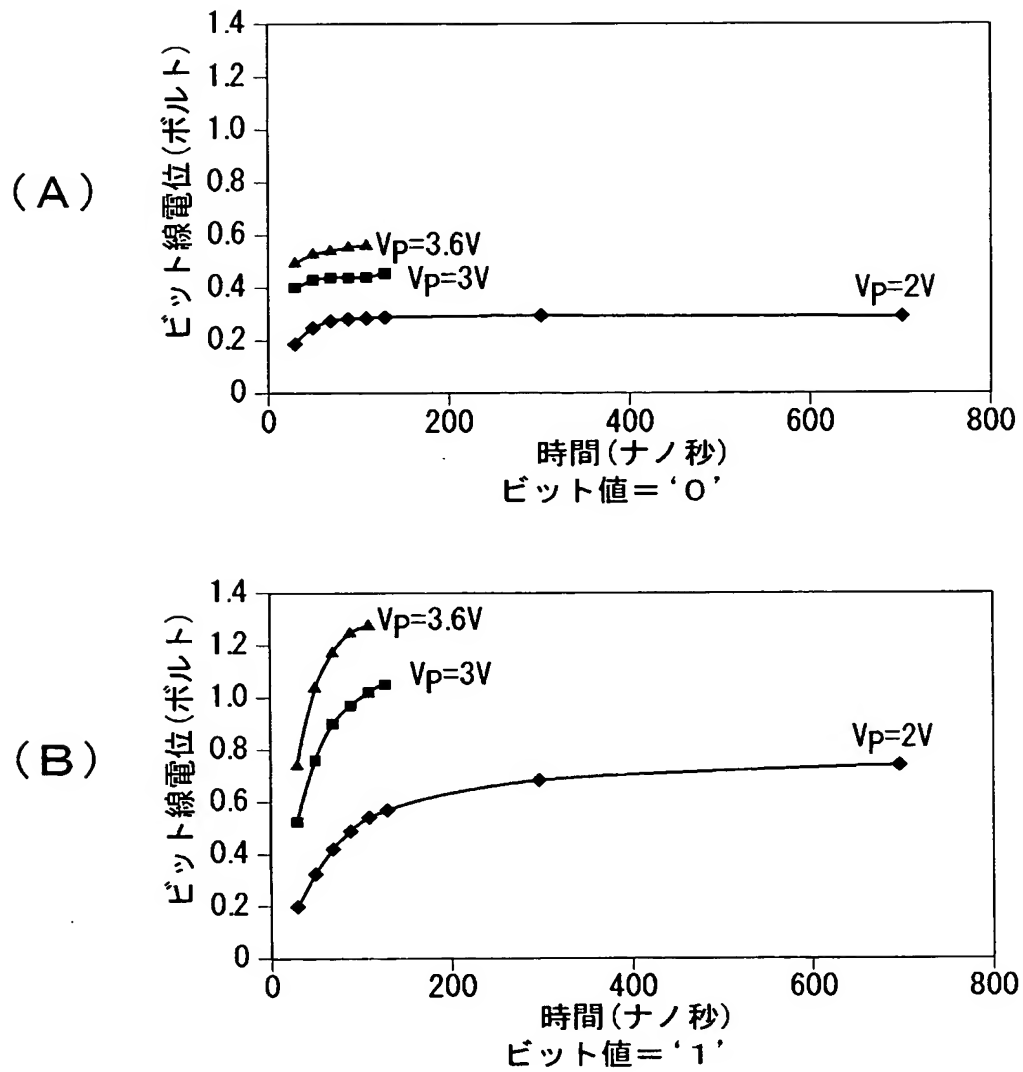


従来の技術(その1)

【図 10】

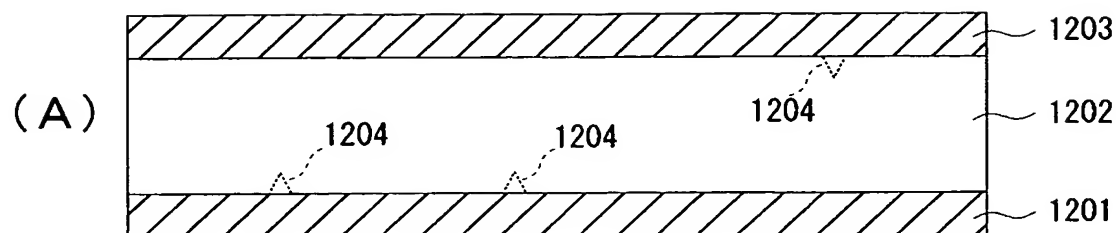


【図 11】

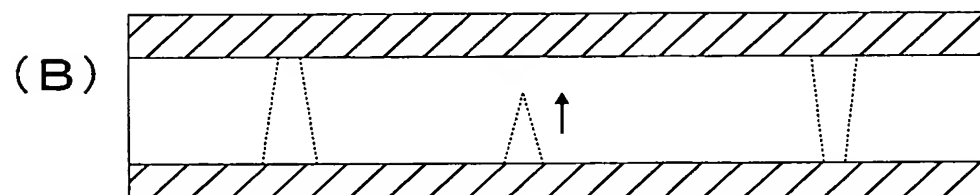


従来の技術 (その 3)

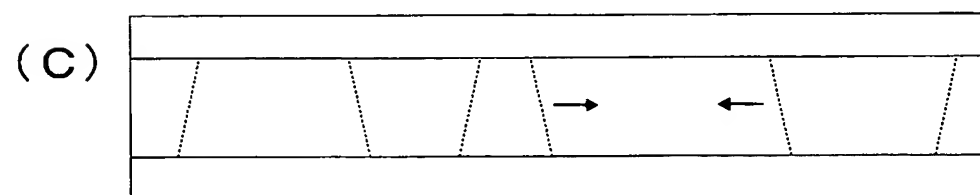
【図 12】



反転分極核の発生



反転分極核の縦成長



反転分極核の横成長

従来の技術（その4）

【書類名】 要約書

【要約】

【課題】 強誘電体メモリにおいて、強誘電体キャパシタの動作を高速化する。

【解決手段】 強誘電体キャパシタ 1 3 0 において、下部電極層 1 3 1 上に、分極核発生電極 1 3 2 を設ける。これにより、この分極核発生電極 1 3 2 上で、強誘電体層 1 3 3 中の反転分極核が発生し易くなる。したがって、分極核発生電極 1 3 2 の配置間隔を適当に設定することにより、多数の反転分極核を発生させることができる。反転分極核を多数発生させると、これらの反転分極核の横方向への成長に要する時間を短くすることができるので、強誘電体キャパシタ 1 3 0 の反転分極の飽和に要する時間が短縮される。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 0 6 6 0 1
受付番号	5 0 3 0 0 5 9 6 3 4 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 4 月 1 1 日

＜認定情報・付加情報＞

【提出日】 平成15年 4月10日

次頁無